

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2002-530872

(P2002-530872A)

(43)公表日 平成14年9月17日(2002.9.17)

(51)Int.Cl.

H01L 29/78

識別記号

F I

H01L 29/78

テーマコード(参考)

301V 5F140

審査請求 有 予備審査請求 有 (全 23 頁)

(21)出願番号 特願2000-583092(P2000-583092)
(86)(22)出願日 平成11年11月18日(1999.11.18)
(85)翻訳文提出日 平成13年5月18日(2001.5.18)
(86)国際出願番号 PCT/DE99/03674
(87)国際公開番号 WO00/30181
(87)国際公開日 平成12年5月25日(2000.5.25)
(31)優先権主張番号 198 53 268.7
(32)優先日 平成10年11月18日(1998.11.18)
(33)優先権主張国 ドイツ(DE)
(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), CN, JP, KR, US

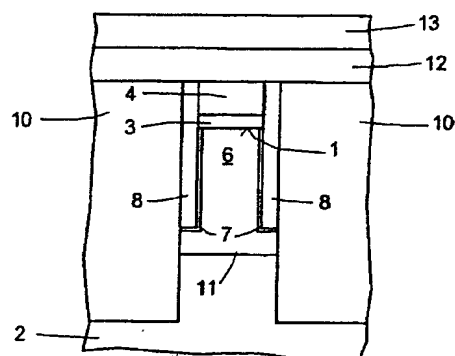
(71)出願人 インフィネオン テクノロジース アクチ
エンゲゼルシャフト
ドイツ連邦共和国 ミュンヘン ザンクト
マルティン シュトラーセ 53
(72)発明者 ディートリヒ ヴィートマン
ドイツ連邦共和国 ウンターハッヒング
ルートヴィヒ-シュトイプ-シュトラーセ
2
(72)発明者 アルミン ヴィーダー
ドイツ連邦共和国 シュタルンベルク シ
フパウアーヴェーク 11
(74)代理人 弁理士 矢野 敏雄 (外4名)

最終頁に続く

(54)【発明の名称】 電界効果制御型トランジスタおよびその製造方法

(57)【要約】

半導体基板(2)に、それぞれ該半導体基板(2)の主表面(1)に接するソース領域、チャネル領域およびドレイン領域を有する活性領域が設けられている。半導体基板(2)の主表面に少なくとも1つのトレンチが設けられており、該トレンチはチャネル領域と接しており、該トレンチにゲート電極(8)の部分が配置されている。有利にはゲート電極は、それぞれチャネル領域に接している2つの互いに対向する部分(8)を有する。トランジスタの製造は、標準的プロセスステップを用いて行われる。



【特許請求の範囲】

【請求項1】 半導体基板（2）に、それぞれ該半導体基板（2）の主表面（1）に接するソース領域、ドレイン領域およびチャネル領域を有する活性領域（6）が設けられており、

前記半導体基板（2）の主表面（1）に少なくとも1つのトレンチが設けられており、該トレンチはチャネル領域（6）と接しており、該トレンチにゲート電極（8）の一部が配置されている、電界効果制御型トランジスタ。

【請求項2】 少なくとも前記トレンチの領域内で、前記チャネル領域の表面にゲート絶縁体（7）が設けられている、請求項1に記載の電界効果制御型トランジスタ。

【請求項3】 前記ソース領域（15）および前記ドレイン領域（15）の広がり、前記主表面（1）に対して垂直に、トレンチの深さと比して小さいか又は同じである、請求項1又は2に記載の電界効果制御型トランジスタ。

【請求項4】 前記活性領域（6）および前記トレンチを囲むアイソレーション構造（10）が設けられている、請求項1から3までのいずれか1項記載の電界効果制御型トランジスタ。

【請求項5】 前記主表面（1）に第1のトレンチ及び第2のトレンチが設けられており、当該2つのトレンチはチャネル領域の互いに対向する側壁に接しており、該2つのトレンチにそれぞれゲート電極の部分（8）が配置されている、請求項1から4までのいずれか1項記載の電界効果制御型トランジスタ。

【請求項6】 半導体基板（2）の主表面（1）に、活性領域（6）を側方に決定するトレンチが形成され、前記活性領域（6）は、それぞれ前記半導体基板（2）の主表面（1）に接するソース領域、チャネル領域およびドレイン領域を有しており、

前記トレンチに部分的に配置されているゲート電極（8，12）が形成される、電界効果制御型トランジスタの製造方法。

【請求項7】 前記チャネル領域の表面にゲート絶縁体（7）が形成される、請求項6に記載の方法。

【請求項8】 前記ゲート電極の形成のために、第1の導電層がデポジット

され、該第1の導電層から、異方性エッチングにより導電性スペーサ(8)が、前記活性領域(6)の側壁に形成され、

前記活性領域(6)及び前記導電性スペーサ(8)を囲むアイソレーション構造(10)が形成され、

前記導電性スペーサ(8)と接続されている第2の導電層(12)がデポジットされ、

前記第2の導電層(12)及び前記導電性スペーサ(8)の構造化によって、前記ゲート電極(8, 12)が形成される、請求項6又は7に記載の方法。

【請求項9】 前記導電性スペーサ(8)の構造化の際に、ソース領域(16)及びドレイン領域(16)の範囲内で、前記アイソレーション構造(10)と前記活性領域(6)との間に中間空間が形成され、該中間空間にアイソレーション材料(14)が充填される、請求項8に記載の方法。

【請求項10】 前記ソース領域(16)及びドレイン領域(16)がインプランテーションにより、前記第2の導電層(12)及び前記アイソレーション構造(10)に対してセルフアライメントで形成される、請求項8又は9に記載の方法。

【発明の詳細な説明】**【0001】**

本発明は、チャンネル長が50nmより小さい場合にも機能できる電界効果制御型トランジスタに関する。

【0002】

プレーナMOSトランジスタ及び接合トランジスタは約50nmのチャンネル長で作動限界に達する。50nm未満のゲート長領域に対して種々のトランジスタ構造が提案されている（例えば、H.Wong 他、IEDM 97、第427頁以降参照）。この場合、MOSトランジスタが2つのゲート電極を有しており、該ゲート電極は、チャンネル領域の互いに対向する側に配置されており、よってチャンネル領域の2つの表面に沿って電流を制御することを提案している。これは、ソース領域、チャンネル領域およびドレイン領域が、シリコンウエハの主表面に対して垂直方向に配置されており、主表面より突出したスタックを形成する縦型構造も、ソース領域、チャンネル領域およびドレイン領域が、シリコンウエハの主表面に対して平行に配置されている平坦型構造も可能である。

【0003】

H.Wong 他、IEDM 97、第427頁以降において、プレーナMOSトランジスタをSOI基板上で実現することが提案されており、ここではチャンネル領域の上方のゲート電極とチャンネル領域の下方のゲート電極とが設けられている。トランジスタの製造のために、シリコン基板上に厚いシリコン酸化物層、第1のシリコン窒化物層、第1の薄いシリコン酸化物層、アモルファスシリコンから成るスペーサ層、第2の薄いシリコン酸化物層および第2のシリコン窒化物層を設けて、ソースおよびドレイン領域の厚いシリコン酸化物層の表面が露出されるように構造化することが提案されている。また、ソース／ドレイン領域の一方において、厚いシリコン酸化物層に窓がシリコン基板の表面まで開けられる。アモルファスシリコンから成るスペーサ層は、ゲートスタックの領域で除去される。次に、選択的エピタキシーにより、シリコン基板の露出した表面から、ソース／ドレイン領域およびチャンネル領域の範囲において単結晶シリコンを成長させる。構造化された第1のシリコン窒化物層および第2のシリコン窒化物層を除去し、ドーピング

された多結晶シリコンをデポジットすることにより、選択的エピタキシーにて成長したチャネル領域の上方および下方に2つのゲート電極が形成される。この方法は、半導体プロセス技術の標準的ステップとコンパチブルでない。

【0004】

D.Hisamoto他、IEDM 89 第833～836頁に、ソース領域、チャネル領域およびドレイン領域をシリコンウェブに有しているプレーナMOSトランジスタが提案されており、該シリコンウェブはフィールド酸化物領域により、その下に配置されているシリコン基板に対して絶縁分離されている。ゲート電極はチャネル領域の範囲内でシリコンウェブとオーバーラップしており、したがって、シリコンウェブの双方の側壁に沿ってチャネル電流を制御する。電流方向はシリコン基板の主表面に対して平行に流れる。当該トランジスタを製造するために、シリコン基板の表面に、シリコン窒化物層で覆われており、その側壁にシリコン窒化物スペーサが設けられているシリコンウェブを構造化することが提案されている。さらにシリコン基板の表面が、シリコン窒化物スペーサの下にアンダーエッチングされる。フィールド酸化物領域は、シリコン基板の表面の局所的な酸化 (local oxidation) により形成される。その際、酸化は、ウェブの両側に形成されるフィールド酸化物領域が、生ずるバースピークによってウェブの下方に達するまで続けられる。この製造プロセスも、半導体プロセス技術の標準的ステップとコンパチブルでない。

【0005】

本発明の課題は、50nm未満のゲート長の場合にも機能し、半導体プロセス技術の標準ステップを用いて製造可能である電界効果制御型トランジスタを提供することである。さらに、該トランジスタの製造方法が提案される。

【0006】

上記課題は本発明により、請求項1に記載の電界効果制御型トランジスタおよび請求項6に記載の該トランジスタの製造方法により解決される。本発明の別の構成が従属請求項に記載されている。

【0007】

電界効果制御型トランジスタが半導体基板にて実現される。半導体基板に、そ

れぞれ該半導体基板の主表面に接するソース領域、チャネル領域およびドレイン領域を有する活性領域が設けられており、したがって、ソース領域とドレイン領域との間で電流が半導体基板の主表面に対して平行に流れる。半導体基板の主表面に少なくとも1つのトレンチが設けられており、トレンチはチャネル領域と接しており、トレンチにゲート電極の一部が配置されている。トランジスタにおいて、ゲート電極の一部が半導体基板の深さに達する。したがって、ゲート電極を介して、サブストレートの主表面を切断するチャネル領域の側壁でサブストレートの主表面に対して平行に流れる電流を制御できる。よって、有効チャネル幅は、半導体基板の主表面におけるチャネル領域の幅に依存しない。

【0008】

トランジスタはMOSトランジスタとしても接合トランジスタとしても実現できる。MOSトランジスタの場合、少なくともトレンチの領域内で、チャネル領域の表面にゲート絶縁体が設けられている。

【0009】

標準的シリコンプロセス技術において集積化を考慮して、少なくとも主表面の領域に単結晶シリコンを有する半導体基板を用いると有利である。半導体基板として有利には、単結晶シリコンウエハ、SOI基板の単結晶シリコン層、SiGeサブストレート又はSiCサブストレートが適している。

【0010】

有利には、チャネル領域の互いに対向する側壁に、それぞれゲート電極の部分が配置されており、したがって、トランジスタは有効に2つの互いに対向するゲート電極部分を有している。これらの部分はそれぞれ第1のトレンチ及び第2のトレンチに配置されている。2つのゲート電極部分を設けることにより、チャネル領域の互いに対向する側壁にて反転チャネルが制御される。この構成により、ドレイン電圧のチャネル領域に対するパンチスルー (Durchgriff) が低減され、したがって、文献から公知の制限的な” Drain Induced Barrier Lowering” は実際に作用しない。さらに、2つのゲート電極部分を設けることにより、サブストレート電圧がチャネル領域に与える好ましくない影響が低減される。

【0011】

有利には、ソース領域およびドレイン領域の広がり、半導体基板の主表面に対して垂直に、1つの又は複数のトレンチの深さと比して小さいか又は同じである。この構成により、それにわたって導電反転チャネルが形成される面は拡大される、したがって、平坦型装置に比して電流利得 (Stromergiebigkeit) が増大する。さらにこのことにより、トランジスタの制御に重要であるトランジスタの相互コンダクタンスが増大する。

【0012】

有利には、ゲート電極の寸法は主表面に対して平行にチャネル領域の寸法に制限される、よって、ドレイン・ゲートオーバーラップ容量が最小化される。このことにより、寄生容量が最小化され、トランジスタの相互コンダクタンスが高められる。これは、高速のスイッチング特性および良好な高周波特性のためにGHz領域では有利である。

【0013】

集積回路の中のトランジスタのアイソレーションのために、活性領域および1つ又は複数のトレンチを囲むアイソレーション構造を設けることは有利である。

【0014】

トランジスタの製造のために、半導体基板の主表面に、活性領域を側方に決定するトレンチが形成される。続いて、部分的にトレンチに配置されているゲート電極が形成される。

【0015】

MOSトランジスタとしてトランジスタを製造するために、チャネル領域の表面にゲート絶縁体が形成される。

【0016】

ゲート電極をセルフアライメントで形成するために、第1の導電層がデポジットされ、該第1の導電層から、異方性エッチングにより導電性スペーサが、活性領域の側壁に形成される。引続いて、活性領域及び導電性スペーサを囲むアイソレーション構造が形成される。この場合、半導体基板の主表面に対して平行な導電性スペーサの表面は露出される。導電性スペーサの露出表面を介して該導電性スペーサと接続されている第2の導電層がデポジットされる。第2の導電層及び

導電性スペーサの構造化によって、ゲート電極が形成される。導電層の材料として有利には、ドーピングされた多結晶又はアモルファスシリコン、金属珪化物及び／又は金属が適している。有利には、ゲート電極の製造のための構造化はマスクエッチングにより実施される。その際用いられるマスクはゲート長を決定する。この場合、微細構造化ステップ、例えば電子ビームリソグラフィを用いたり、インプリント方法にて、又はスペーサ技術を利用することにより、50 nm以下、有利には10～50 nmのゲート長が実現できる。

【0017】

有利にはソース／ドレイン領域の製造が、インプランテーションにより、ゲート電極に対してセルフアライメントで行われる。

【0018】

有利にはトレンチは、アイソレーション構造およびゲート電極の断面に相応する断面を有している。この場合、アイソレーション構造は例えば、トレンチを完全に充填するアイソレーション層をデポジットすること及び化学的機械研磨により形成される。

【0019】

次に本発明を実施の形態に基づき図を用いて詳細に説明する。

【0020】

図1は、第1のシリコン酸化物層および第2のシリコン酸化物層および活性領域を決定するマスクの形成のための半導体基板の断面略図を示す。

【0021】

図2は、図1を上から見た平面略図である。

【0022】

図3は、半導体基板の活性領域の構造化のため、ゲート絶縁体の形成および活性領域の側壁における導電性スペーサの形成のための半導体基板の断面略図を示す。

【0023】

図4は、半導体基板の別のエッチングによる半導体基板の断面略図を示す。

【0024】

図5は、アイソレーション構造の形成のため、ゲート電極の形成、ソース領域とドレイン領域との間の中間空間の充填、アイソレーション材料を用いたアイソレーション構造の形成のための半導体基板を上から見た平面略図である。

【0025】

図6は、図5の一点鎖線VI-VIに沿った断面図である。

【0026】

図7は、図5の一点鎖線VII-VIIに沿った断面図である。

【0027】

図8は、図5の一点鎖線VIII-VIIIに沿った断面図である。

【0028】

ドーピング材濃度が $1.0 \times 10^{15} \text{ cm}^{-3}$ のpドーピングされた単結晶シリコンから成る半導体基板2の主表面1の上に、熱酸化により第1のシリコン酸化物層3が被着される。第1のシリコン酸化物層3の厚さは5 nmである。第1のシリコン酸化物層3の上に、20 nmの厚さを有する第1のシリコン窒化物層4がデポジットされる。第1のシリコン窒化物層4の表面上に、トレンチに囲まれた活性領域を決定するマスク5が形成される（図1及び図2参照）。マスク5は主表面1に対して平行に実質的に方形の横断面を有しており、その寸法は $40 \text{ nm} \times 500 \text{ nm}$ である。

【0029】

異方性エッチングにより、第1のシリコン窒化物層4、第1のシリコン酸化物層3および半導体基板2がエッチングされ、その際、半導体基板2にトレンチに囲まれている活性領域6が形成される（図3参照）。エッチングガスとして CF_4 および H_2 が用いられる。このエッチングは主表面1の下方に500 nmの深さまで行われる。

【0030】

熱酸化により、活性領域6の側壁に3 nmの層厚の SiO_2 から成るゲート絶縁体7が形成される。

【0031】

ドーピングされた多結晶シリコンから成る第1の導電層のデポジットおよび該

第1の導電層のエッチバックにより、活性領域6の側壁にドーピングされた多結晶シリコンから成る導電性スペーサ8が形成される（図3参照）。導電性スペーサ8は活性領域6をリング状に囲んでいる。

【0032】

SiF₄およびH₂を用いた別の異方性エッチングプロセスにおいて、ゲート絶縁体7の露出部分が除去される。続いてCF₄を用いた異方性エッチングにより、半導体基板2がエッチングされる。したがって、活性領域6および導電性スペーサ8の側方に、主表面1を基準として1μmの深さを有するアイソレーショントレンチ9が生ずる（図4参照）。

【0033】

アイソレーショントレンチは第2のSiO₂層をデポジットすることにより充填される。第1のシリコン窒化物層4がエッチストップとして作用する引続いての化学的機械研磨によって、第2のシリコン酸化物層から、アイソレーショントレンチ9を充填するアイソレーション構造10が形成される（図6参照）。

【0034】

硼素をインプランテーションすることにより、活性領域6に、 $5 \times 10^{17} \text{ cm}^{-3}$ のドーピング材濃度のチャネルドーピング部11が形成される。

【0035】

全く平面的に第2の導電層12および第2のシリコン窒化物層13がデポジットされ、マスクを用いて（図示せず）構造化される。構造化された第2の導電層12および構造化された第2のSi₃N₄層13は、ストリップ状の横断面を有しており、この横断面は活性領域6の長手方向広がりに対して横向きに延びており、活性領域6の長手方向広がりに対して平行に40nmの幅を有している。第2の導電層12の構造化の際に、導電性スペーサ8の露出領域が同様に除去される。当該構造化はSiF₄およびH₂を用いた異方性エッチングにより実施される。

【0036】

第3のシリコン窒化物層のデポジットおよび該第3のシリコン酸化物層のエッチバックにより、導電性スペーサ8の除去の際に構造化された第2の導電層12

の外側に生ずる、活性領域6とアイソレーション構造10との間の中間空間に、アイソレーション充填材14が充填される（図7参照）。

【0037】

構造化された第2の導電層12および構造化された第2のシリコン窒化物層13の側壁には、第3のシリコン窒化物層のデポジットおよび該第3のシリコン窒化物層の異方性エッチバックにより、シリコン窒化物スペーサ15が形成される（図5及び図8参照）。Asを50keVのエネルギー及び $2 \times 10^{15} \text{ cm}^{-2}$ のドーズ量にてインプランテーションすることにより、構造化された第2の導電層12に対しセルフアライメントされて、ソース／ドレイン領域16が形成される（図7及び図8参照）。この場合、主表面1の下方のソース／ドレイン領域16の深さは、導電性スペーサ8が延在している深さよりも小さい。

【0038】

導電性スペーサ8は構造化された第2の導電層12を介して相互に接続されている。導電性スペーサ8およびこれを接続する第2の構造化された導電層12の部分が、ゲート電極として作用する。導電性スペーサ8はソース／ドレイン領域16より深く半導体基板1に延びているので、ゲート電極を相応して制御する際、該ソース／ドレイン領域16の深さ全体にわたって、ソース／ドレイン領域16の間に導電反転チャネルが形成される。したがって、ソース／ドレイン領域16の間の活性領域6の範囲は、深さ全体にわたってチャネル領域として作用する。

【0039】

当該トランジスタの製造のために、公知の方法（詳述せず）により多層メタライゼーションが行われる。

【0040】

実施例ではnチャネルトランジスタについて説明したが、本発明は同様にpチャネルトランジスタとして実施可能である。さらに、導電層は別の導電性材料、有利には金属珪化物又は金属から構成できる。また、ゲート絶縁体7は活性領域の主表面1の領域に設けることも可能であり、したがって、主表面に沿って導電反転チャネルが形成できる。この場合、活性領域6と第2の導電層12との間に

において、第1のシリコン酸化物層および第1のシリコン窒化物層は必要としない。技術的に必要であれば、ソース／ドレイン領域16がLDDプロファイルを用いて形成できる。

【図面の簡単な説明】

【図1】

第1のシリコン酸化物層および第2のシリコン酸化物層および活性領域を決定するマスクの形成のための半導体基板の断面略図を示す。

【図2】

図1を上から見た平面略図である。

【図3】

半導体基板の活性領域の構造化のため、ゲート絶縁体の形成および活性領域の側壁における導電性スペーサの形成のための半導体基板の断面略図を示す。

【図4】

半導体基板の別のエッチングによる半導体基板の断面略図を示す

【図5】

アイソレーション構造の形成のため、ゲート電極の形成、ソース領域とドレイン領域との間の中間空間の充填、アイソレーション材料を用いたアイソレーション構造の形成のための半導体基板を上から見た平面略図である。

【図6】

図5の一点鎖線VI-VIに沿った断面図である。

【図7】

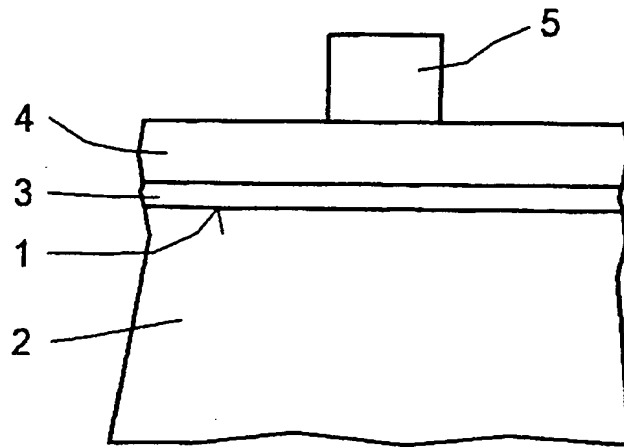
図5の一点鎖線VII-VIIに沿った断面図である。

【図8】

図5の一点鎖線VIII-VIIIに沿った断面図である。

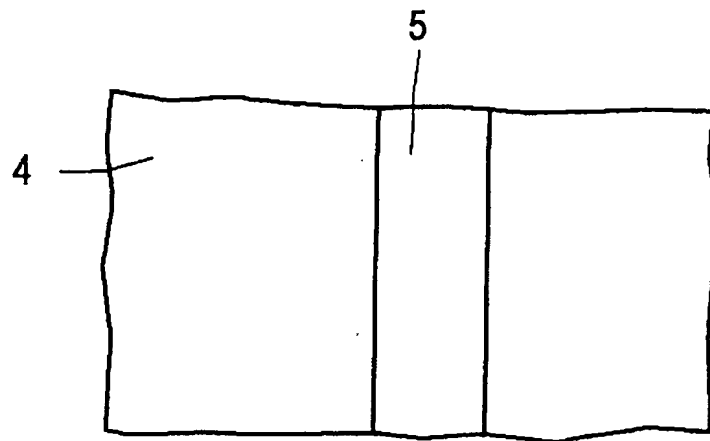
【図1】

FIG 1



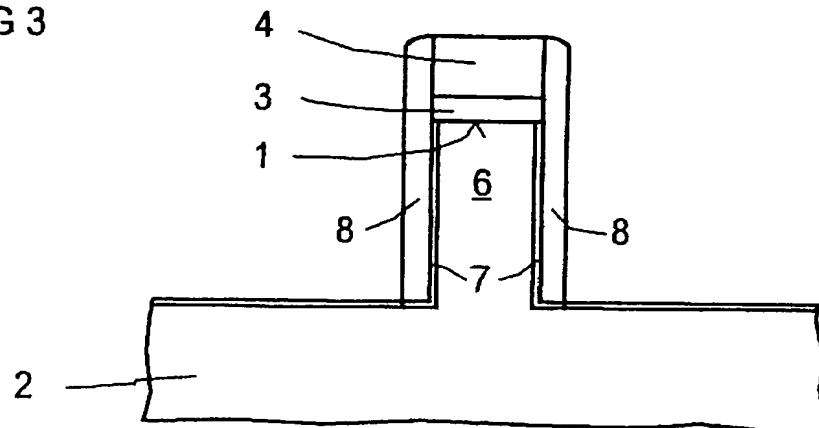
【図2】

FIG 2



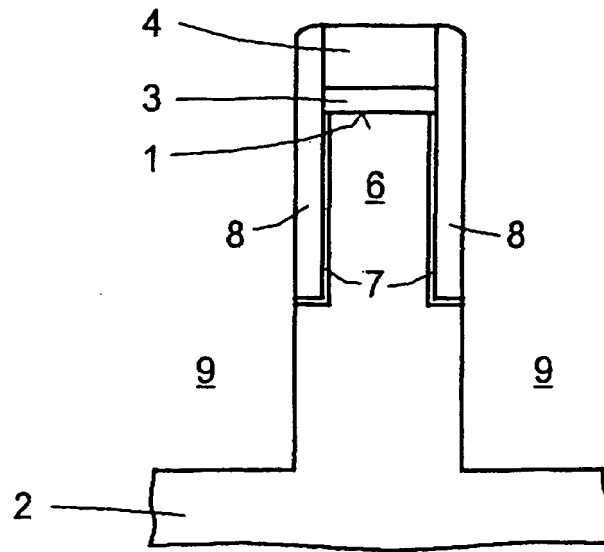
【図3】

FIG 3



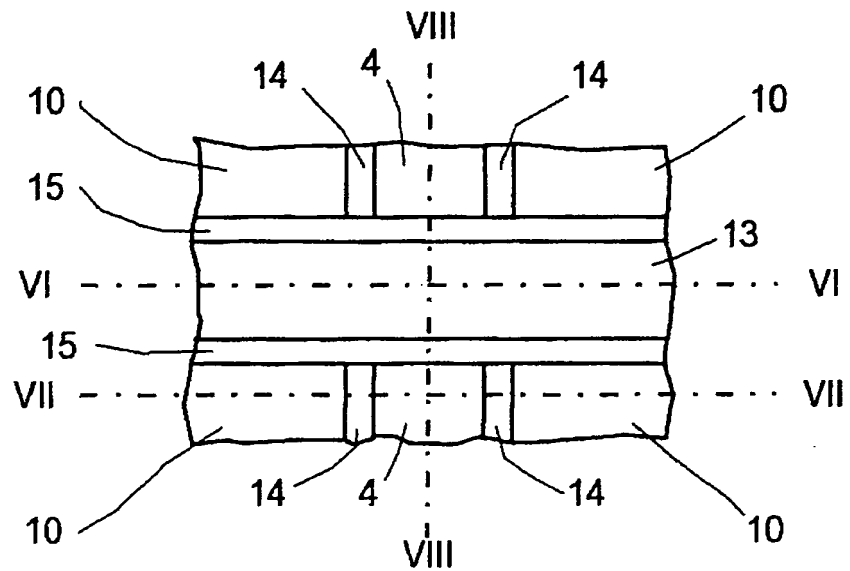
【図 4】

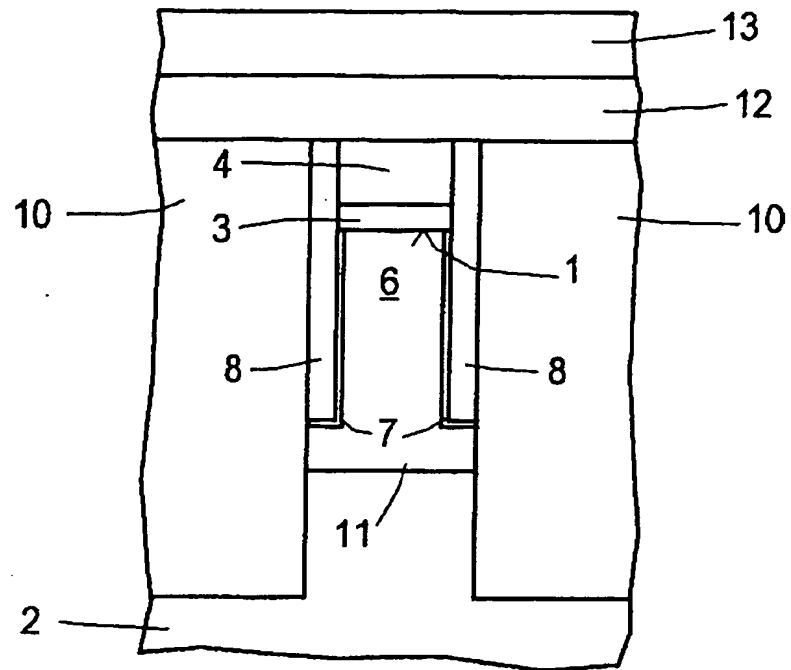
FIG 4



【図 5】

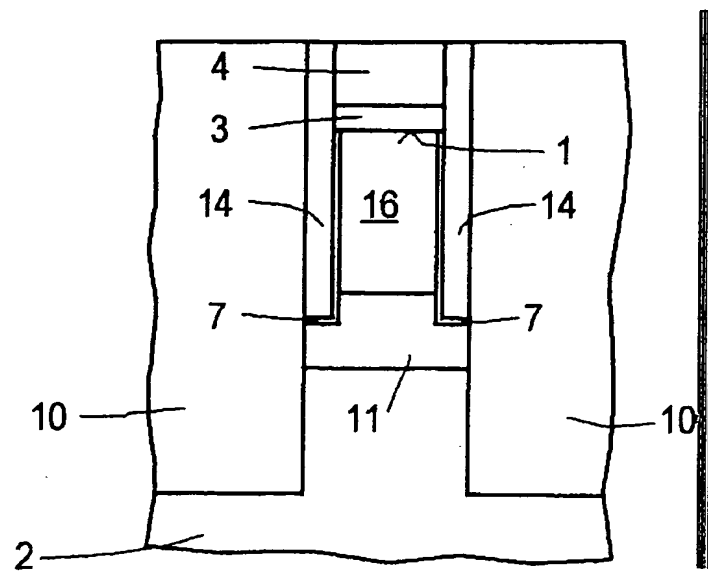
FIG 5



【図6】
FIG 6

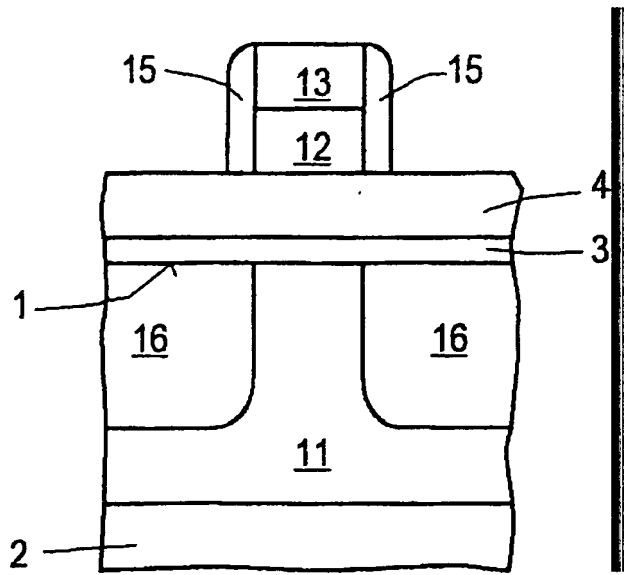
【図7】

FIG 7



【図 8】

FIG 8



【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成13年1月5日（2001. 1. 5）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 半導体基板（2）に、それぞれ該半導体基板（2）の主表面（1）に接するソース領域、ドレイン領域およびチャネル領域を有する活性領域（6）が設けられており、

前記主表面（1）に第1のトレンチ及び第2のトレンチが設けられており、当該2つのトレンチは前記活性領域（6）の互いに対向する側壁に接しており、該2つのトレンチにそれぞれゲート電極の部分（8）が配置されている、電界効果制御型トランジスタにおいて、

前記ゲート電極は、活性領域（6）の対向する側に設けられている2つの導電性スペーサ（8）と、当該導電性スペーサ（8）を接続する導電層（12）の部分とから成り、

前記第1及び第2のトレンチはアイソレーション構造（10）により充填されており、したがって、導電性スペーサ（8）は活性領域（6）とアイソレーション構造との間に配置されており、

前記活性領域とアイソレーション構造（10）との間で該活性領域（6）の2つの別の互いに対向する側に形成される中空空間に、アイソレーション充填材（14）が充填されていることを特徴とする、電界効果制御型トランジスタ。

【請求項2】 少なくとも第1及び第2のトレンチの領域内で、前記活性領域の表面にゲート絶縁体（7）が設けられていることを特徴とする、請求項1に記載の電界効果制御型トランジスタ。

【請求項3】 ソース領域（16）およびドレイン領域（16）の広がり、前記主表面（1）に対して垂直に、トレンチの深さと比して小さいか又は同じ

であることを特徴とする、請求項1又は2に記載の電界効果制御型トランジスタ。

【請求項4】 前記アイソレーション構造(10)が前記活性領域(6)を囲んでいることを特徴とする、請求項1から3までのいずれか1項記載の電界効果制御型トランジスタ。

【請求項5】 半導体基板(2)の主表面(1)に、活性領域(6)を側方に決定する第1及び第2のトレンチが形成され、前記活性領域(6)は、それぞれ前記半導体基板(2)の主表面(1)に接するソース領域(16)、チャンネル領域およびドレイン領域を有しており、

ゲート電極の形成のために、第1の導電層がデポジットされ、該第1の導電層から、異方性エッチングにより導電性スペーサ(8)が、前記活性領域(6)の2つの互いに対向する側に形成される、請求項1から4までのいずれか1項記載の電界効果制御型トランジスタの製造方法において、

前記活性領域(6)及び前記導電性スペーサ(8)を囲むアイソレーション構造(10)が形成され、

前記導電性スペーサ(8)と接続されている第2の導電層(12)がデポジットされ、

前記第2の導電層(12)及び前記導電性スペーサ(8)の構造化によって、前記ゲート電極(8, 12)が形成され、

前記導電性スペーサ(8)の構造化の際に、ソース領域(16)及びドレイン領域(16)の範囲内で、前記アイソレーション構造(10)と前記活性領域(6)との間に中間空間が形成され、該中間空間にアイソレーション材料(14)が充填されることを特徴とする、電界効果制御型トランジスタの製造方法。

【請求項6】 前記ソース領域(16)及びドレイン領域(16)がインプラネーションにより、前記第2の導電層(12)及び前記アイソレーション構造(10)に対してセルフアライメントで形成されることを特徴とする、請求項5に記載の方法。

【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成13年2月26日(2001.2.26)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正内容】

【請求項1】 半導体基板(2)に、それぞれ該半導体基板(2)の主表面(1)に接するソース領域、ドレイン領域およびチャネル領域を有する活性領域(6)が設けられており、

前記主表面(1)に第1のトレンチ及び第2のトレンチが設けられており、当該2つのトレンチは前記活性領域(6)の互いに対向する側壁に接しており、該2つのトレンチにそれぞれゲート電極の部分(8)が配置されている、電界効果制御型トランジスタにおいて、

前記ゲート電極は、チャネル領域の範囲内に且つ構造化された導電層(12)の外側にある、活性領域(6)の対向する側に設けられている2つの導電性スペーサ(8)と、当該導電性スペーサ(8)を接続する導電層(12)の部分とから成り、

前記第1及び第2のトレンチはアイソレーション構造(10)により充填されており、したがって、導電性スペーサ(8)は活性領域(6)とアイソレーション構造との間に配置されており、導電層(12)は充填部を越えて延在しており、

前記活性領域とアイソレーション構造(10)との間で該活性領域(6)の2つの別の互いに対向する側に形成される中空空間に、アイソレーション充填材(14)が充填されており、これは、ソース領域およびドレイン領域の範囲内に且つ構造化された導電層(12)の外側に設けられていることを特徴とする、電界効果制御型トランジスタ。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/DE 99/03674

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L29/78 H01L21/336		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 1996, no. 09, 30 September 1996 (1996-09-30) & JP 08 139325 A (TOSHIBA CORP), 31 May 1996 (1996-05-31) abstract & US 5 844 278 A 1 December 1998 (1998-12-01) figures 12,13,21	1-7
X	US 4 979 014 A (WATANABE HIDEHIRO ET AL) 18 December 1990 (1990-12-18) the whole document	1-7
X	EP 0 510 667 A (CANON KK) 28 October 1992 (1992-10-28) figures 8-18	1-3,5-7
-/-		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "Z" document member of the same patent family		
Date of the actual completion of the international search 25 October 2000		Date of mailing of the international search report 02/11/2000
Name and mailing address of the ISA European Patent Office, P.O. Box 5018 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Gélébart, J

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/DE 99/03674

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 563 082 A (MUKAI MIKIO) 8 October 1996 (1996-10-08) figures 1-10	18

1

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family members

Inte. onal Application No

PCT/DE 99/03674

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 08139325 A	31-05-1996	KR 170468 B US 5844278 A	01-02-1999 01-12-1998
US 4979014 A	18-12-1990	JP 1042176 A JP 2582794 B	14-02-1989 19-02-1997
EP 0510667 A	28-10-1992	DE 69213539 D JP 2851968 B JP 5167043 A US 5428237 A US 5612230 A	17-10-1996 27-01-1999 02-07-1993 27-06-1995 18-03-1997
US 5563082 A	08-10-1996	JP 7193238 A	28-07-1995

フロントページの続き

Fターム(参考) 5F140 AA01 AA05 AA18 AA40 AB08
AC18 AC36 BA02 BA05 BB05
BB06 BC06 BD05 BE03 BE07
BF01 BF04 BF43 BF47 BG08
BG14 BG27 BG40 BG45 BH05
BH25 BH26 BK13 CB04 CE06
CE07

THIS PAGE BLANK (USPTO)